

Systèmes logiques (n°1)

Les documents ne sont pas autorisés.

Durée : 2 heures

Nom :

Prénom :

Groupe :

I.

A/. Donner l'expression de la fonction F en utilisant des portes ou_exclusives :

| F | ba→ | 00 | 01 | 11 | 10 |
|---|-----|----|----|----|----|
| | dc↓ | | | | |
| | 00 | 1 | 0 | 0 | 0 |
| | 01 | 0 | 1 | 0 | 0 |
| | 11 | 0 | 0 | 1 | 0 |
| | 10 | 0 | 0 | 0 | 1 |

F=

B/. Donner l'expression de la fonction F en utilisant des portes ou_exclusives :

| F | ba→ | 00 | 01 | 11 | 10 |
|---|-----|----|----|----|----|
| | dc↓ | | | | |
| | 00 | 0 | 0 | 0 | 1 |
| | 01 | 1 | 0 | 1 | 0 |
| | 11 | 0 | 1 | 0 | 0 |
| | 10 | 1 | 0 | 1 | 0 |

II.

A/. Donner l'expression logique de la fonction $F(x,y,z)$ ci-dessous. Réaliser cette fonction à l'aide des portes Non-Ou à plusieurs entrées (*Justifier votre solution*). La fonction $F(x,y)$ est définie par :

$$F(x,y) = y \text{ si } x = 0 \text{ et } F(x,y) = y/ \text{ si } x = 1$$

B/. Donner l'expression logique de la fonction $F(x,y,z)$ ci-dessous. Réaliser cette fonction à l'aide des portes Non-Ou à plusieurs entrées (*Justifier votre solution*). La fonction $F(x,y,z)$ est définie par :

$$F(x,y,z) = z \text{ si } x = y \text{ et } F(x,y) = z/ \text{ si } x \neq y$$

III. Une fonction logique $F(c,b,a)$ est représentée par le tableau de Karnaugh ci-dessous :

| F | ba→ | 00 | 01 | 11 | 10 |
|---|-----|----|----|----|----|
| | c↓ | | | | |
| | 0 | 0 | 1 | 1 | 0 |
| | 1 | 1 | 1 | 0 | 1 |

A/. Réaliser la fonction $F(c,b,a)$ à l'aide des portes Non-Et seulement (Non_Et : 7400, fiche technique ci-jointe). En déduire le temps de propagation maximal entre les entrées (c,b,a) et la sortie F .

B/. Réaliser une fonction à trois variables $G(x,y,z)$ à l'aide des multiplexeurs en utilisant les équations de Shannon telles que :

$$G(x,y,z) = x/G(0,y,z) + \bar{x}G(1,y,z)$$

$$G(0,y,z) = y/G(0,0,z) + \bar{y}G(0,1,z)$$

$$G(1,y,z) = y/G(1,0,z) + \bar{y}G(1,1,z)$$

Etc...

C/. Réaliser maintenant la fonction $F(c,b,a)$ à l'aide d'un nombre minimal des multiplexeurs 2 vers 1.

IV. On étudiera dans la suite le composant 74HC/HCT147.

A./ Expliquer brièvement le fonctionnement du composant 74HC/HCT147 (fiche technique ci-jointe).

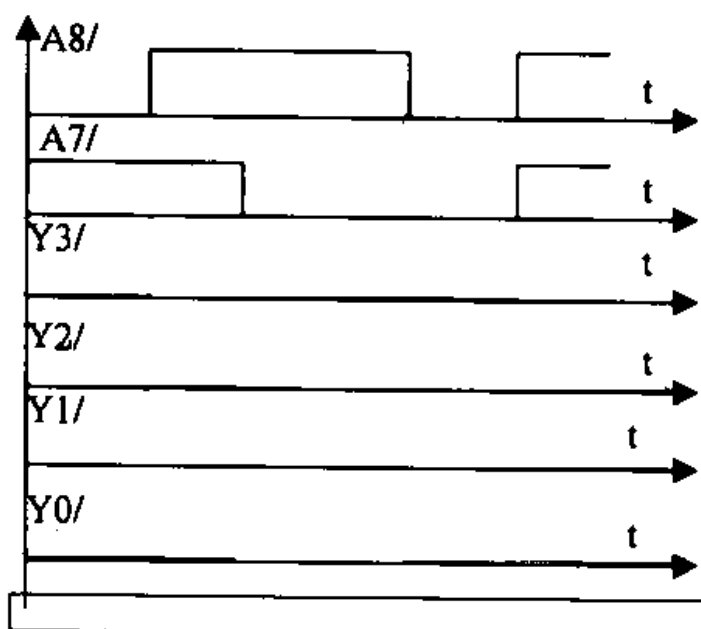
B./ Donner les expressions simplifiées de $Y3/$, $Y2/$ et $Y1/$.

$Y3/ =$

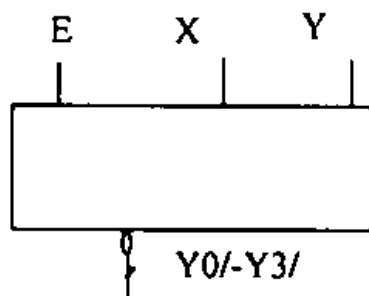
$Y2/ =$

$Y1/ =$

C/ Remplir le diagramme temporel ci-dessous sachant que les signaux d'entrées $A6/$ à $A0/$ sont forcés à 0 volts.



- V. La table de vérité d'un démultiplexeur (figure ci-dessous) 1 vers 4 est donnée par la table suivante (X, Y=adresses, E = entrée et Y0/ à Y3/ = sorties):



| X | Y | Y0/ | Y1/ | Y2/ | Y3/ |
|---|---|-----|-----|-----|-----|
| 0 | 0 | E | 1 | 1 | 1 |
| 0 | 1 | 1 | E | 1 | 1 |
| 1 | 0 | 1 | 1 | E | 1 |
| 1 | 1 | 1 | 1 | 1 | E |

- A/. Donner les expressions des sorties :

Y0/ =

Y1/ =

Y2/ =

Y3/ =

- B/. Donner le schéma de réalisation des fonctions suivantes : $(X+Y)/$, $(XY)/$ et $(X \oplus Y)/$ à l'aide du démultiplexeur précédent (un seul démultiplexeur) et des portes logiques Et à deux entrées.

- C/. On cherche à transformer le démultiplexeur précédent. Donner la table de vérité et le schéma de réalisation du nouveau démultiplexeur 1 vers 4 en présence d'un signal de validation **val** tel que :

- Si **val** = 0 les sorties du démultiplexeur sont inactives,
- si **val** = 1 le démultiplexeur fonctionne normalement.

- D/. Donner le schéma de réalisation d'un démultiplexeur 1 vers 8 à l'aide de deux démultiplexeurs 1 vers 4 (démultiplexeur 1 vers 4 réalisé en exercice IV. C/). (Indiquer clairement : les adresses et les bits d'adresse du poids le plus fort et du poids le plus faible.
- E/. A l'aide du démultiplexeur 1 vers 8 réalisé en IV. D/., proposer le schéma de réalisation de la fonction ou-exclusive à 3 variables.

Quad 2-input NAND gate

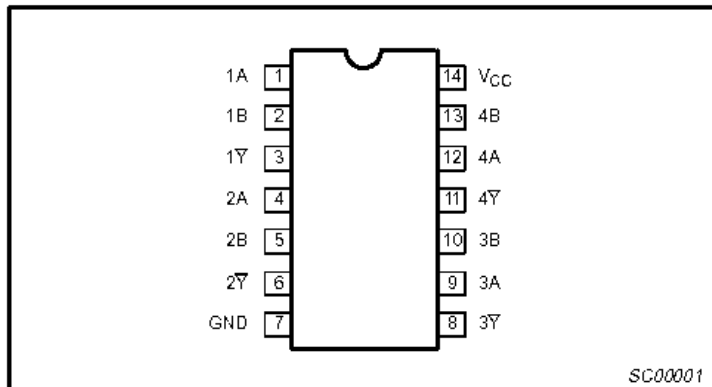
74ALS00A

| TYPE | TYPICAL PROPAGATION DELAY | TYPICAL SUPPLY CURRENT (TOTAL) |
|----------|---------------------------|--------------------------------|
| 74ALS00A | 4.0ns | 1.0mA |

ORDERING INFORMATION

| DESCRIPTION | ORDER CODE | DRAWING NUMBER |
|--------------------------------|------------------------------------------------------------------------------------------|----------------|
| | COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$ | |
| 14-pin plastic DIP | 74ALS00AN | SOT27-1 |
| 14-pin plastic SO | 74ALS00AD | SOT108-1 |
| 14-pin plastic SSOP Type II | 74ALS00ADB | SOT337-1 |

PIN CONFIGURATION

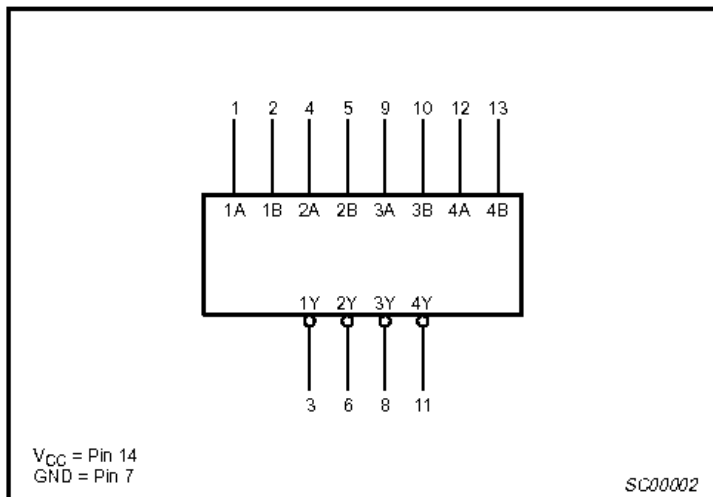


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

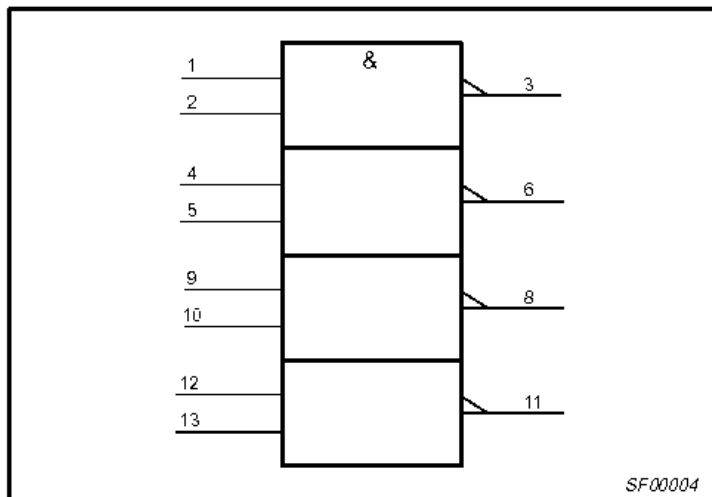
| PINS | DESCRIPTION | 74ALS (U.L.) HIGH/LOW | LOAD VALUE HIGH/LOW |
|-------------|-------------|-----------------------|---------------------|
| nA, nB | Data inputs | 1.0/1.0 | 20 μ A/0.1mA |
| n \bar{Y} | Data output | 20/80 | 0.4mA/8mA |

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

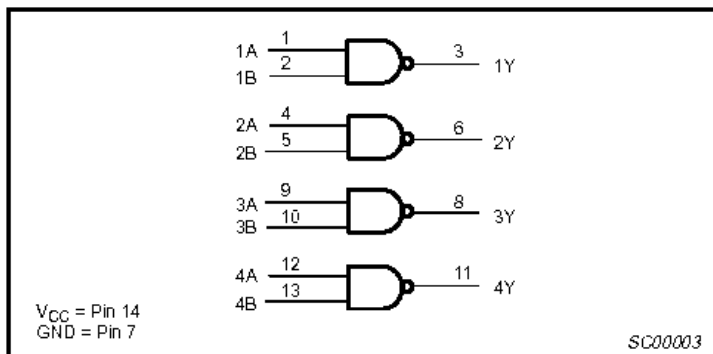
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

| INPUTS | | OUTPUT |
|--------|----|-------------|
| nA | nB | n \bar{Y} |
| H | H | L |
| L | X | H |
| X | L | H |

H = High voltage level
L = Low voltage level
X = Don't care

10-to-4 line priority encoder

74HC/HCT147

FEATURES

- Encodes 10-line decimal to 4-line BCD
- Useful for 10-position switch encoding
- Used in code converters and generators
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT147 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT147 9-input priority encoders accept data from nine active LOW inputs (\overline{A}_0 to \overline{A}_8) and provide a binary representation on the four active LOW outputs (\overline{Y}_0 to \overline{Y}_3). A priority is assigned to each input so that when two or more inputs are simultaneously active, the input with the highest priority is represented on the output, with input line \overline{A}_8 having the highest priority.

The devices provide the 10-line to 4-line priority encoding function by use of the implied decimal "zero". The "zero" is encoded when all nine data inputs are HIGH, forcing all four outputs HIGH.

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25\text{ }^\circ\text{C}$; $t_r = t_f = 6\text{ ns}$

| SYMBOL | PARAMETER | CONDITIONS | TYPICAL | | UNIT |
|-------------------|--------------------------------------------------------|----------------------------------------------|---------|-----|------|
| | | | HC | HCT | |
| t_{PHL}/t_{PLH} | propagation delay \overline{A}_n to \overline{Y}_n | $C_L = 15\text{ pF}$; $V_{CC} = 5\text{ V}$ | 15 | 17 | ns |
| C_I | input capacitance | | 3.5 | 3.5 | pF |
| C_{PD} | power dissipation capacitance per package | notes 1 and 2 | 30 | 33 | pF |

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz

f_o = output frequency in MHz

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

2. For HC the condition is $V_I = \text{GND to } V_{CC}$
For HCT the condition is $V_I = \text{GND to } V_{CC} - 1.5\text{ V}$

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

10-to-4 line priority encoder

74HC/HCT147

PIN DESCRIPTION

| PIN NO. | SYMBOL | NAME AND FUNCTION |
|-------------------------------|----------------------------|----------------------------------|
| 8 | GND | ground (0 V) |
| 9, 7, 6, 14 | \bar{Y}_0 to \bar{Y}_3 | BCD address outputs (active LOW) |
| 11, 12, 13, 1, 2, 3, 4, 5, 10 | \bar{A}_0 to \bar{A}_8 | decimal data inputs (active LOW) |
| 15 | n.c. | not connected |
| 16 | V _{CC} | positive supply voltage |

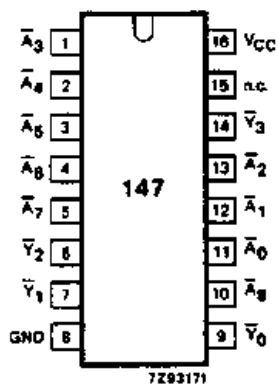


Fig.1 Pin configuration.

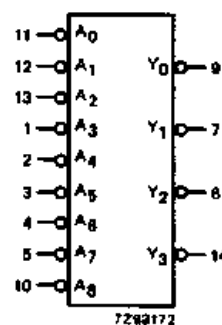


Fig.2 Logic symbol.

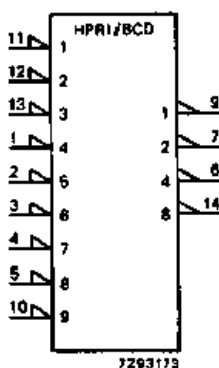


Fig.3 IEC logic symbol.

10-to-4 line priority encoder

74HC/HCT147

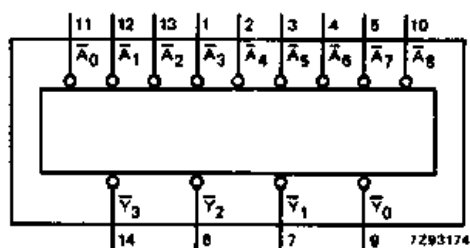


Fig.4 Functional diagram.

FUNCTION TABLE

| INPUTS | | | | | | | | | OUTPUTS | | | |
|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| \bar{A}_0 | \bar{A}_1 | \bar{A}_2 | \bar{A}_3 | \bar{A}_4 | \bar{A}_5 | \bar{A}_6 | \bar{A}_7 | \bar{A}_8 | \bar{Y}_3 | \bar{Y}_2 | \bar{Y}_1 | \bar{Y}_0 |
| H | H | H | H | H | H | H | H | H | H | H | H | H |
| X | X | X | X | X | X | X | X | L | L | H | H | L |
| X | X | X | X | X | X | X | L | H | L | H | H | H |
| X | X | X | X | X | L | H | H | H | H | L | L | L |
| X | X | X | X | L | H | H | H | H | H | L | L | L |
| X | X | X | L | H | H | H | H | H | H | L | L | L |
| X | L | H | H | H | H | H | H | H | H | L | L | L |
| L | H | H | H | H | H | H | H | H | H | H | H | L |

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care