

# D.S. Systemes logiques N°2

Les documents ne sont pas autorisés.

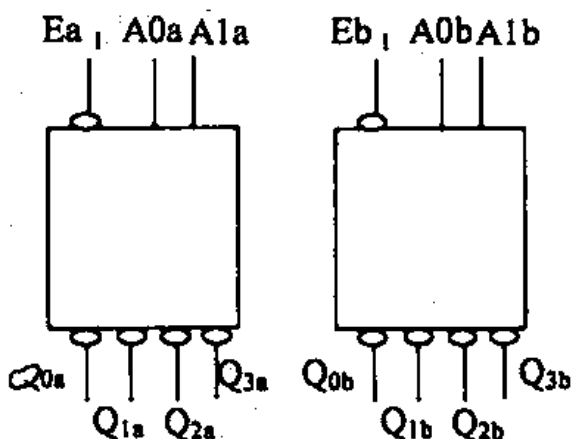
Durée : 2 heures

Nom : \_\_\_\_\_

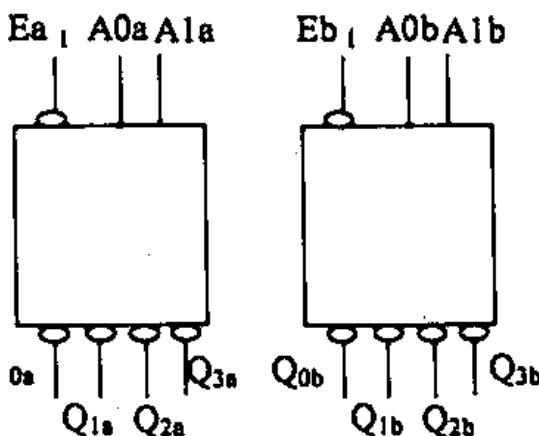
Prénom : \_\_\_\_\_

Groupe : \_\_\_\_\_

I. A/. Réaliser un décodeur 3 vers 8 à l'aide du circuit 74F139. Indiquer clairement : les adresses et les bits d'adresse du poids le plus fort et du poids le plus faible).

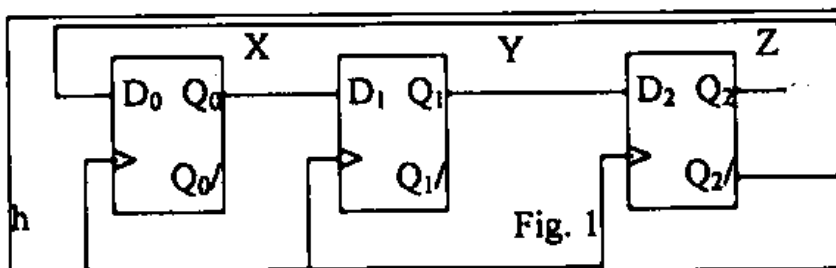


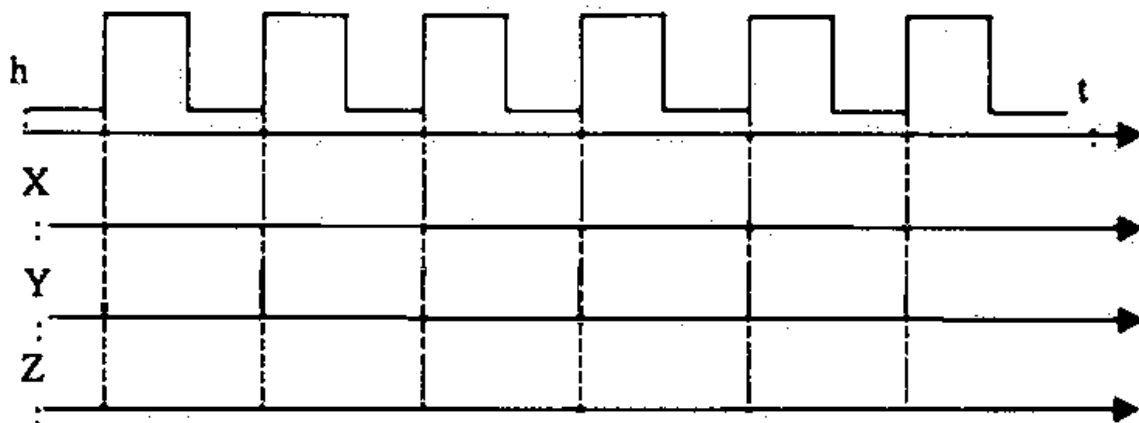
B/. Réaliser un dé-multiplexeur 3 vers 8 à l'aide du même circuit 74F139. (Indiquer clairement : les adresses et les bits d'adresse du poids le plus fort et du poids le plus faible).



II. Dans le montage ci-dessous, on utilise trois bascules D du circuit 74F175A.

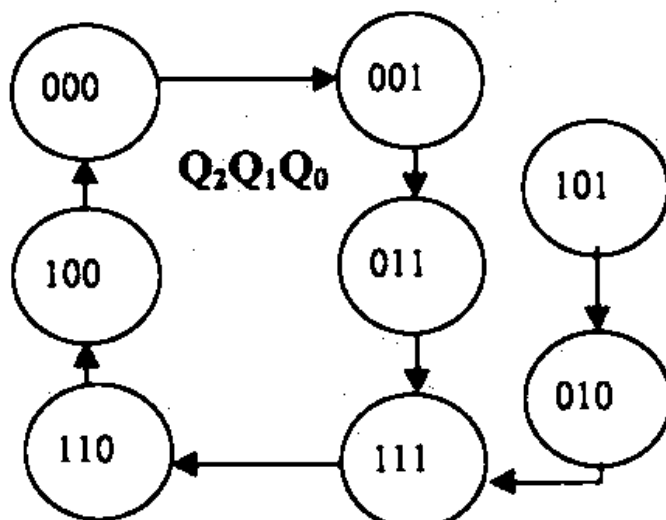
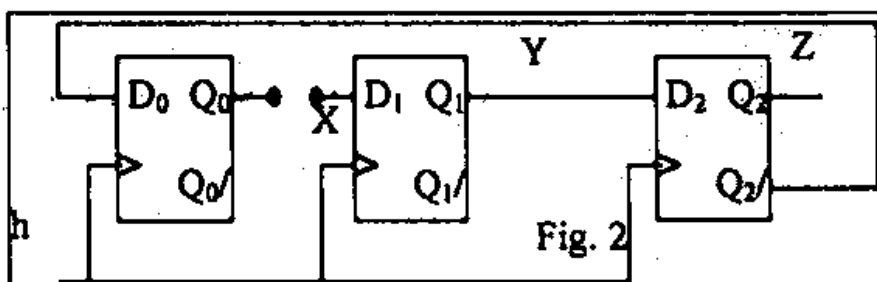
A/. Donner les expressions des sorties X, Y et Z et puis remplir leurs diagrammes temporels. (on considère que les temps de propagation sont négligeables).





B/. Donner la fréquence maximale de fonctionnement de ce montage.

C/. On réalise le schéma ci-dessous. Indiquer sur le graphe d'états ci-dessous la valeur de X lors de la transition d'un état vers l'autre.

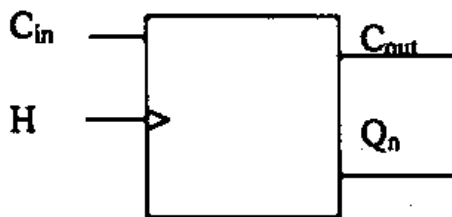


D/. Donner l'expression de X en fonction de  $Q_2$ ,  $Q_1$  et  $Q_0$ .

E/. On voudrait décoder les six états du compteur précédent (cycle : 000, 001, 011, 111, 110, 100, 000) à l'aide d'une seule porte à deux entrées( on dispose de Q et Q/ à la sortie de chaque bascule). La présence de l'état sera indiquée par un niveau haut. Les six états seront indiqués par 6 sorties. Donner les expressions des 6 fonctions à deux variables de la logique de décodage.

III. 1. On cherche à réaliser un dé-compteur 4 bits.

A/. Remplir les deux tableaux de vérité ci-dessous d'un étage dé-compteur d'un bit synchrone à retenue (retenue d'entrée  $C_{IN}$ : active à « 1 ») (figure ci-dessous). On utilise une bascule D actif au front montant de l'horloge H. La retenue de sortie sera notée par  $C_{OUT}$ .  $C_{OUT}$  passe à 1 lorsque  $Q_n=0$  et  $C_{IN}=1$ .  $Q_{n+1}$  est l'état futur de l'étage.



$C_{IN}$	$Q_n$	$C_{OUT}$
0	X	
1	0	
1	1	

$C_{IN}$	H	$Q_{n+1}$	Commentaires :
0	Front montant		Pas de comptage
1	Front montant		Comptage

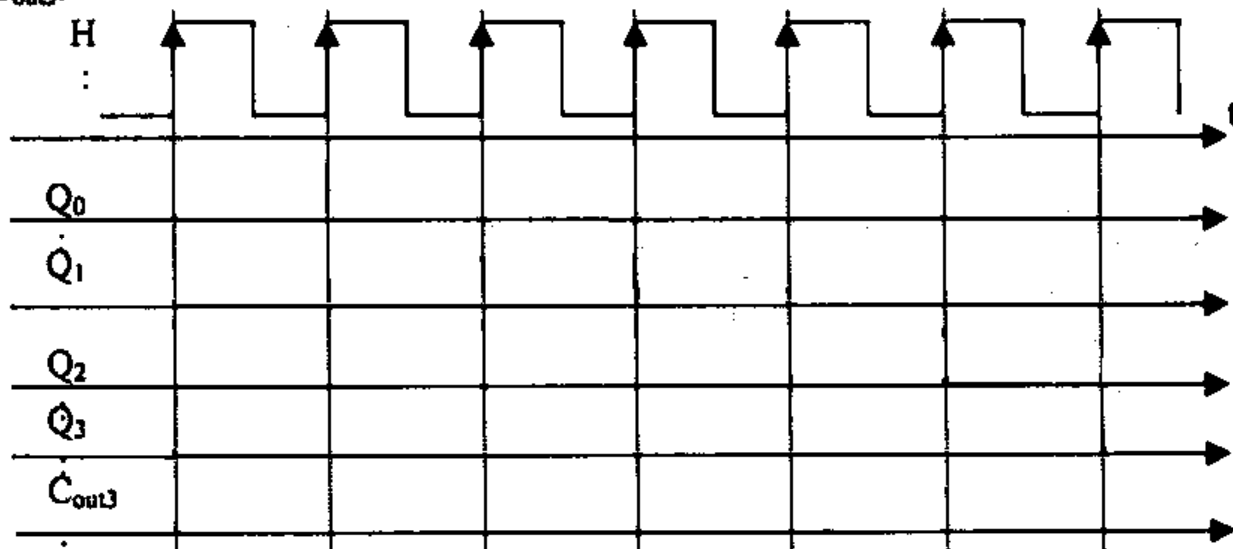
B/. Etablir les formules donnant l'état futur de l'étage  $Q_{n+1}$  et la retenue de sortie  $C_{OUT}$ . En déduire le schéma du décompteur 1bit en utilisant un multiplexeur, une porte ET et une bascule D.

$Q_{n+1} =$  \_\_\_\_\_

$C_{OUT} =$  \_\_\_\_\_

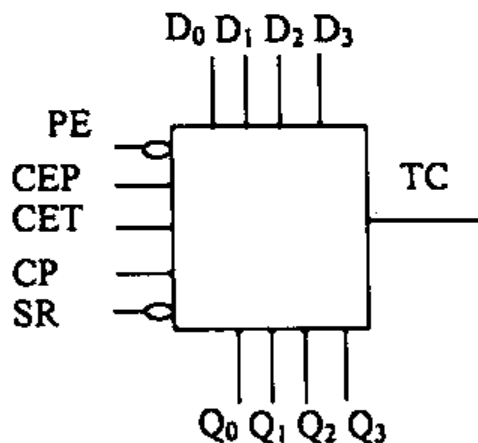
C/. Réaliser à l'aide de l'élément précédent un dé-compteur 4 bits  $Q_3Q_2Q_1Q_0$  ( $Q_3$  : poids le plus fort,  $Q_0$  poids le plus faible). On note  $C_{in0}$  la retenue d'entrée du premier étage et  $C_{out3}$  la retenue du dernier étage.

D/. Tracer ci-dessous le diagramme temporel de l'évolution des sorties  $Q_3, Q_2, Q_1, Q_0$  et  $C_{out3}$ .

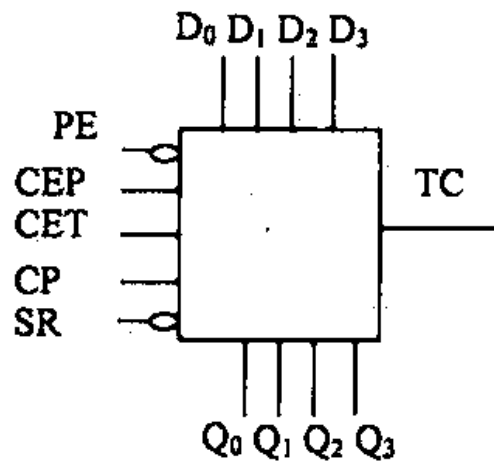


2. On dispose maintenant du circuit 74F163A ;

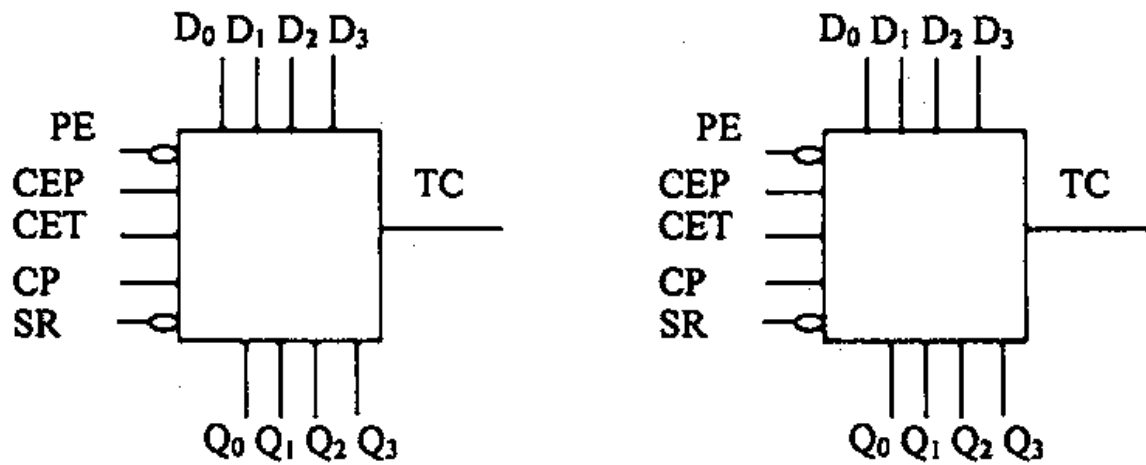
A/. Donner le schéma de montage autour du circuit 74F163A pour réaliser un comptage modulo 16 (0 à 15).



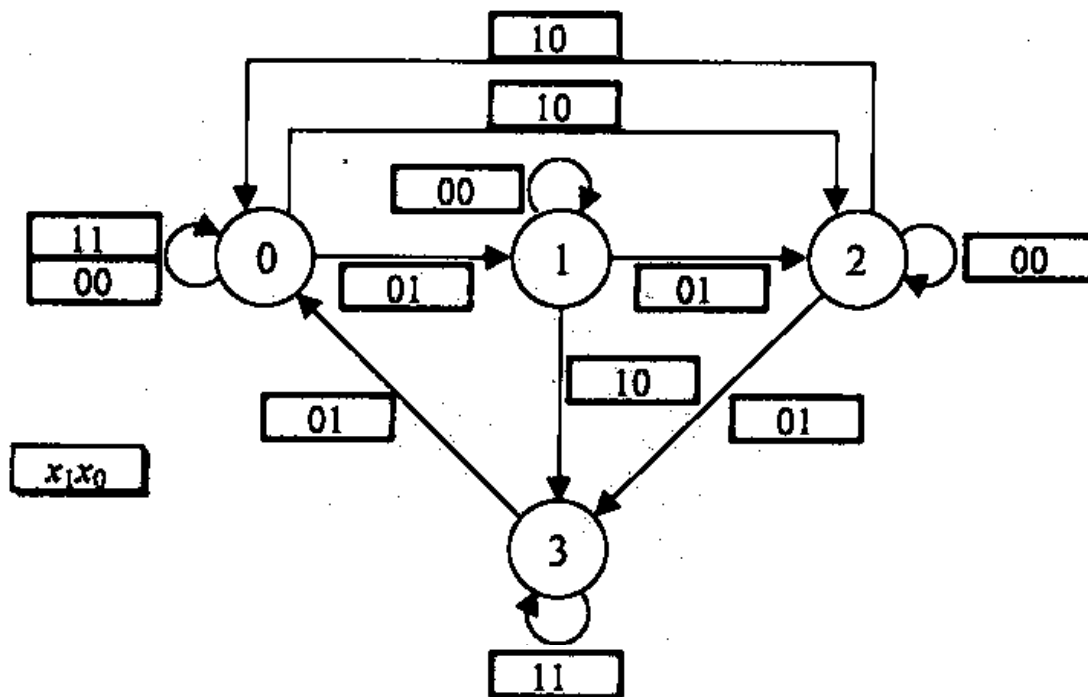
B/. Donner le schéma de montage autour du circuit 74F163A pour réaliser un comptage modulo 10 (0 à 9).



C/. Donner le schéma de montage autour du circuit 74F163A pour réaliser un comptage de 69 à 255.



V. Une machine d'état est décrit par le graphe ci-dessous. La machine dispose de deux entrées  $x_1$  et  $x_0$ .



A/. Coder les états 0, 1, 2, 3 en utilisant le codage 1 parmi n.

B/. Donner les équations de réalisation de cette machine à partir du graphe d'état.

C/. Donner le schéma de réalisation de l'état 1 à l'aide d'un démultiplexeur, une bascule D et une porte OU.